

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-053530

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

G06T 3/40
H04N 5/228

(21)Application number : 09-206098

(71)Applicant : CANON INC

(22)Date of filing : 31.07.1997

(72)Inventor : TERASAWA KEN
HIEDA TERUO

(54) IMAGE INTERPOLATING DEVICE

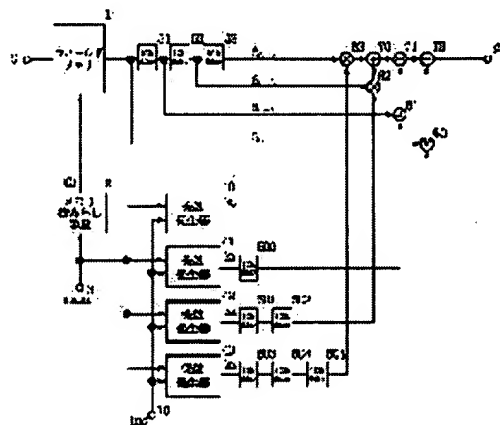
(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an image enlarging/reducing circuit of high picture quality with a resolving feeling by providing a signal composing circuit which accumulates a digital image signal, sequentially delays a continuous image signal from a read memory, and multiplies respective pixel signals by a correction coefficient from the positions of interpolating pixels and sums up the products.

SOLUTION: A field memory 1 is stored with image data of one field. A memory read means 2 sends a read control signal Cr to the field memory 1 so as to receive a zoom ratio set value from a zoom setting input terminal 3, determine interpolating pixel positions successively according to the value, and output pixel data Sn right

behind the interpolating pixel positions among source image data in the field memory.

Coefficient generating circuits 40 to 43 generate interpolation coefficients kn corresponding to the respective source sampling pixel data Sn and after delay means 500 to 505 make time adjustments, integrators 60 to 63 integrate them with the source sampling data Sn, so that adders 70 to 72 calculate their sum to output interpolating pixel data S'.



LEGAL STATUS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-53530

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁹

識別記号

F I

G 0 6 T 3/40

G 0 6 F 15/66

3 5 5 C

H 0 4 N 5/228

H 0 4 N 5/228

Z

審査請求 未請求 請求項の数7 OL (全 9 頁)

(21) 出願番号

特願平9-206098

(22) 出願日

平成9年(1997) 7月31日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 寺澤 見

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 稗田 輝夫

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

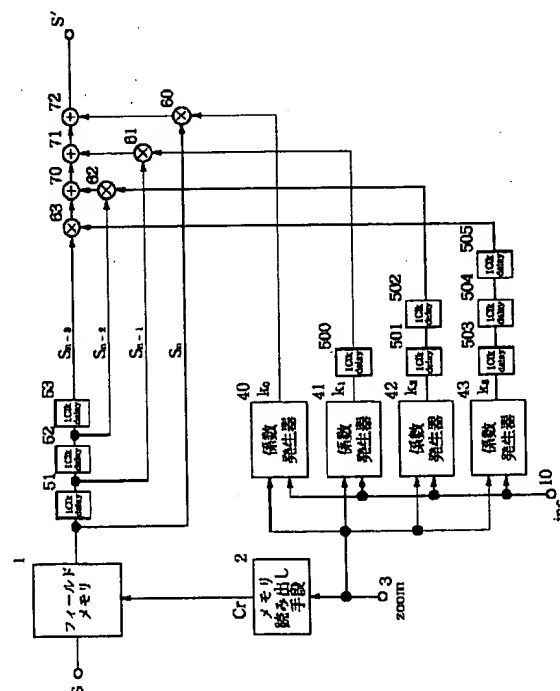
(74) 代理人 弁理士 丸島 儀一

(54) 【発明の名称】 画像補間装置

(57) 【要約】

【課題】 解像感のある高画質な画像拡大、縮小を可能にする。

【解決手段】 デジタル画像信号を蓄積するメモリと、メモリから画素データを順次読み出すメモリ読み出し手段と、メモリ読み出し手段によって読み出された画像信号 S_n を遅らせて夫々画素信号 S_{n-1} 、 S_{n-2} 、 S_{n-3} を形成する為の連続した第1、第2、第3の遅延手段と、画素信号 S_{n-1} と画素信号 S_{n-2} の間にある補間画素 S' の位置から、 N 次の関数で求められる、画素信号 S_n 、画素信号 S_{n-1} 、画素信号 S_{n-2} 、画素信号 S_{n-3} にそれぞれ対応する補間係数を発生する第1、第2、第3、第4の係数発生回路と、各画素信号 S と補間係数 k_n の乗算の総和を取る信号合成回路と、を備えたことを特徴とする。



【特許請求の範囲】

【請求項1】 デジタル画像信号を蓄積するメモリと、メモリから画素データを順次読み出すメモリ読み出し手段と、メモリ読み出し手段によって読み出された画像信号 S_n を遅らせて夫々画素信号 S_{n-1} 、 S_{n-2} 、 S_{n-3} を形成する為の連続した第1、第2、第3の遅延手段と、画素信号 S_{n-1} と画素信号 S_{n-2} との間にある補間画素 S' の位置から、 N 次の関数で求められる、画素信号 S_n 、画素信号 S_{n-1} 、画素信号 S_{n-2} 、画素信号 S_{n-3} にそれぞれ対応する補間係数を発生する第1、第2、第3、第4の係数発生回路と、各画素信号 S_n と補間係数 k_n の乗算の総和を取る信号合成回路と、を備えたことを特徴とする画像補間装置。

【請求項2】 デジタル画像信号を蓄積するメモリと、メモリから画素データを順次読み出すメモリ読み出し手段と、メモリ読み出し手段によって読み出された画像信号を遅らせて夫々画素信号 S_{n-1} 、 S_{n-2} 、 S_{n-3} を形成する為の連続した第1、第2、第3の遅延手段と、画素信号 S_{n-1} と画素信号 S_{n-2} との間にある補間画素 S' の位置から、それぞれ N 次の関数で求められる、補間係数 k_1 、 k_2 を発生する第1、第2の係数発生回路と、任意の2つの画素信号 S_i 、 S_j について、 $P = k_1 \cdot S_i + (1 - k_1) \cdot S_j$ の計算を行う第1、第2の補間回路と、信号合成回路とを備え、画素信号 S_n と画素信号 S_{n-1} は第1の補間回路に入力され、画素信号 S_{n-1} と画素信号 S_{n-2} は第2の補間回路に入力され、第1、第2の補間回路とも補間係数 k_1 を用いて補間を行い、第1の補間回路の出力 P_1 と、第2の補間回路の出力 P_2 とが信号合成回路に入力され、信号合成回路では、補間係数 k_2 から、 $k_2 \cdot (P_1 - P_2) + P_1$ の式に基づいて補間画素信号 S' を出力することを特徴とする画像補間装置。

【請求項3】 デジタル画像信号を蓄積するメモリと、メモリから水平走査線方向に画素を順次読み出すメモリ読み出し手段と、メモリ読み出し手段によって読み出された画像信号を遅らせる一連の第1、第2、第3の遅延手段と、メモリ読み出し手段によって読み出された現在の画素信号 S_n と、第1の遅延手段からの画素信号 S_{n-1} と、第2の遅延手段からの画素信号 S_{n-2} に対し、第3の遅延手段からの画素信号 S_{n-3} と、画素信号 S_{n-1} と画素信号 S_{n-2} との間にある補間画素 S' の位置を、累算器により補間係数 k として求める係数発生回路と、任意の2つの画素信号 S_i 、 S_j について、 $P = k \cdot S_i + (1 - k) \cdot S_j$ の計算を行う第1、第2の補間回路と、信号合成回路とを備え、画素信号 S_n と画素信号 S_{n-1} は第1の補間回路に入力され、画素信号 S_{n-1} と画素信号 S_{n-2} は第2の補間回路に入力され、第1、第2の補間回路とも補間係数 k を用いて補間を行い、第1の補間回路の出力 P_1 と、第2の補間回路の出力 P_2 とが信号合成回路に入力され、信号合成回路では、補間係数 k から導かれる係数 $M = k \cdot (1 - k)$ から、 $M \cdot (P_1 - P_2) + P_1$ の

式に基づいて補間画素信号 S' を出力することを特徴とする画像補間装置。

【請求項4】 遅延手段は補間前の原サンプリング周波数の1クロックに相当する遅延量をもち、水平方向の補間を行うことを特徴とする請求項1、2、3の画像補間装置。

【請求項5】 遅延手段は補間前の原サンプリング周波数の1走査線に相当する遅延量をもち、垂直方向の補間を行うことを特徴とする請求項1、2、3の画像補間装置。

【請求項6】 請求項1、2の係数発生回路は、補間画素を生成する原サンプリング画素の更新制御信号を受け取った時に、補間係数を更新することを特徴とする請求項1、2の画像補間装置。

【請求項7】 請求項3の係数発生回路の累算器は、原サンプリング画素間に生成される補間点の分解能が 2^n に設定されている時に、 n ビット幅の累積加算器で構成され、補間画素を生成する原サンプリング画素の更新制御信号を受け取った時に、補間比率を表す定数を n ビット幅で累積加算を行うことを特徴とする請求項3の画像補間装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、静止画や動画記録のできるデジタルカメラ等の画像補間装置に関する。

【0002】

【従来の技術】近年のデジタル信号処理技術の進歩は、映像分野に大きな発展をもたらしている。デジタルビデオカメラや、デジタルスチルカメラなど、デジタル記録媒体の出現で、パソコンなどに画像データを記録し、編集、加工することが容易かつ高画質にできるよう環境となってきた。

【0003】このような状況の中で、画像を撮像する装置自体でのリアルタイムな画像縮小・拡大の技術は、今後重要な技術となってくると推察される。

【0004】従来、デジタルビデオカメラでは、光学系によるズーミング以上にズーミングするために、撮像した画像を補間して拡大する電子ズームという処理が一般的に備わっている。また逆に、縮小画像による、電子ズームアウトなどの処理も可能である。

【0005】ある周波数でサンプリングされた連続的な画像データがあり、その画像データを他のある周波数サンプリング間隔で線形補間していく時には、補間画素の前後にある原サンプリング画素データと、補間画素との時間的な相対位置データ k が必要となる。

【0006】これを連続的に求めていく方法としては、U.S. Pat. 4,774,581に示されるような累算器を用いたメモリ読み出し手段を用いる方法がある。

【0007】図4は、フィールドメモリ上に蓄積された

1フィールドの画像の中の一部の概念図を示したものである。 S_n 、 S_{n-1} は、蓄積されている画素データ、 S' は補間される画素データを示している。

【0008】この時、 S_n 、 S_{n-1} 、 S' の関係は、

$$S' = S_n \cdot k + S_{n-1} \cdot (1-k)$$

で表される。これをデジタル回路で実現するために

は、乗算器の削減のためにこの式を変形して、

$$S' = (S_n - S_{n-1}) \cdot k + S_{n-1}$$

とする。

【0009】図3は、従来の線形補間方式の電子ズーム10の水平方向部分の例である。フィールドメモリ1には、撮像素子により決定されるサンプリング周波数で出力されている画像信号が、入力端子から入力され、1フィールドの画像データが蓄積されている。

【0010】メモリ読み出し手段2は、マイコン3からのズーム比設定値zoomを受け取り、それに応じて補間画素位置を連続的に決定していき、決定した補間画素位置から、フィールドメモリ上の原画像データのうち補間画素位置の直後の画素データ S_n を出力するように、フィールドメモリ1に読み出し制御信号Crを送る。

【0011】また、メモリ読み出し手段2からの読み出し制御信号Crと、マイコン3からのズーム比設定値zoomから、係数発生回路4は、補間画素 S' の直後にある原サンプリング画素データ S_n と補間画素 S' との時間的な相対位置データkを線形補間回路6に送る。

【0012】フィールドメモリ1は、Crによって指示された画素データ S_n を出力し、遅延手段5は、画素データ S_n を原サンプリング周波数の1クロック分だけ遅延した画素データ S_{n-1} を出力し、ある時間に同時に線形補間回路6に入力される。

【0013】線形補間回路6は、上記の線形補間式に基づいて

$$S' = (S_n - S_{n-1}) \cdot k + S_{n-1}$$

の計算を減算器61、乗算器62、加算器63によって行い、補間画素データ S' を出力する。

【0014】

【発明が解決しようとする課題】上記従来の隣接2画素での線形補間では、回路構成は簡単になるものの、周波数特性が図6のようになだらかであるために、解像感のない画像として拡大・縮小されてしまうという欠点があった。

【0015】本発明の目的は、簡単な回路構成で、解像感のある高画質な画像拡大・縮小回路を提供することにある。

【0016】

【課題を解決するための手段】上記の問題を解決するために、請求項1の発明では、デジタル画像信号を蓄積するメモリと、メモリから画素データを順次読み出すメモリ読み出し手段と、メモリ読み出し手段によって読み出された画像信号 S_n を遅らせて夫々画素信号 S_{n-1} 、 S

S_{n-1} 、 S_{n-2} を形成する為の連続した第1、第2、第3の遅延手段と、画素信号 S_{n-1} と画素信号 S_{n-2} の間にある補間画素 S' の位置から、N次の関数で求められる、画素信号 S_n 、画素信号 S_{n-1} 、画素信号 S_{n-2} 、画素信号 S_{n-3} にそれぞれ対応する補間係数を発生する第1、第2、第3、第4の係数発生回路と、各画素信号 S_n と補間係数 k の乗算の総和を取る信号合成回路と、を備えたことを特徴とする。

【0017】又請求項2の発明では、デジタル画像信号を蓄積するメモリと、メモリから画素データを順次読み出すメモリ読み出し手段と、メモリ読み出し手段によって読み出された画像信号を遅らせて夫々画素信号 S_{n-1} 、 S_{n-2} 、 S_{n-3} を形成する為の連続した第1、第2、第3の遅延手段と、画素信号 S_{n-1} と画素信号 S_{n-2} の間にある補間画素 S' の位置から、それぞれN次の関数で求められる、補間係数 k_1 、 k_2 を発生する第1、第2の係数発生回路と、任意の2つの画素信号 S_n 、 S_{n-1} について、 $P = k_1 \cdot S_n + (1 - k_1) \cdot S_{n-1}$ の計算を行う第1、第2の補間回路と、信号合成回路とを備え、画素信号 S_n と画素信号 S_{n-1} は第1の補間回路に入力され、画素信号 S_{n-1} と画素信号 S_{n-2} は第2の補間回路に入力され、第1、第2の補間回路とも補間係数 k_1 を用いて補間を行い、第1の補間回路の出力 P_1 と、第2の補間回路の出力 P_2 とが信号合成回路に入力され、信号合成回路では、補間係数 k_2 から、 $k_2 \cdot (P_1 - P_2) + P_2$ の式に基づいて補間画素信号 S' を出力することを特徴とする。

【0018】又請求項3の発明では、デジタル画像信号を蓄積するメモリと、メモリから水平走査線方向に画素を順次読み出すメモリ読み出し手段と、メモリ読み出し手段によって読み出された画像信号を遅らせる一連の第1、第2、第3の遅延手段と、メモリ読み出し手段によって読み出された現在の画素信号 S_n と、第1の遅延手段からの画素信号 S_{n-1} と、第2の遅延手段からの画素信号 S_{n-2} に対し、第3の遅延手段からの画素信号 S_{n-3} と、画素信号 S_{n-1} と画素信号 S_{n-2} の間にある補間画素 S' の位置を、累算器により補間係数 k として求める係数発生回路と、任意の2つの画素信号 S_n 、 S_{n-1} について、 $P = k \cdot S_n + (1 - k) \cdot S_{n-1}$ の計算を行う第1、第2の補間回路と、信号合成回路とを備え、画素信号 S_n と画素信号 S_{n-1} は第1の補間回路に入力され、画素信号 S_{n-1} と画素信号 S_{n-2} は第2の補間回路に入力され、第1、第2の補間回路とも補間係数 k を用いて補間を行い、第1の補間回路の出力 P_1 と、第2の補間回路の出力 P_2 とが信号合成回路に入力され、信号合成回路では、補間係数 k から導かれる係数 $M = k \cdot (1 - k)$ から、 $M \cdot (P_1 - P_2) + P_2$ の式に基づいて補間画素信号 S' を出力することを特徴とする。

【0019】

【発明の実施の形態】

(実施例) 本発明の第1の実施例を以下に記述する。図1に、その構成を示す。これは水平方向部分の近傍4点による高画質補間の例である。

【0020】図5Aは、フィールドメモリ上に蓄積された1フィールドの画像の中の一部の概念図を示したものである。フィールドメモリ1には、撮像素子により決定されるサンプリング周波数で出力されている画像信号が、入力端子から入力され、1フィールドの画像データが蓄積されている。

【0021】ズーム比設定値 $zoom$ は、ズームの分解能が8ビットの場合に、ズーム比 R を

$$R = 256 / (256 + zoom)$$

で表している。 $zoom$ が正の整数値を取れば、画像は縮小され、負の整数値を取れば、画像は拡大される。

【0022】メモリ読み出し手段2は、ズーム設定入力端子3からのズーム比設定値 $zoom$ を受け取り、それに応じて補間画素位置を連続的に決定していき、フィールドメモリ上の原画像データのうち補間画素位置の直後の画素データ S_n を出力するように、フィールドメモリ1に読み出し制御信号 Cr を送る。

【0023】また、ズーム比設定値 $zoom$ から、図11のような構成の係数発生回路40、係数発生回路41、係数発生回路42、係数発生回路43は、それぞれ原サンプリング画素データ $S_n, S_{n-1}, S_{n-2}, S_{n-3}$ に対応する補間係数 k_0, k_1, k_2, k_3 を発生する。

【0024】図11において100はABS(絶対値)回路、101は加算器、102は1クロックディレイ、103は後述のような3次関数発生手段である。

【0025】これらの補間係数は、所望の周波数特性をもつ補間フィルタをフーリエ変換して求められた時間特性を例えば3次の関数

$$k = aX^3 + bX^2 + cX + d$$

で得られるものである。 X は、原サンプリング画素データ位置と補間画素データ位置の距離である。

【0026】各係数発生回路は、補間画素を生成する原サンプリング画素の更新制御信号 inc が立ち上がった時のみ、次の原サンプリング画素データ位置と補間画素データ位置の距離から、補間係数 k_0, k_1, k_2, k_3 を更新する。

【0027】こうして得られた補間係数 k_0, k_1, k_2, k_3 は、時間あわせを遅延手段500～505で行ったのち、対応する原サンプリング画素データ $S_n, S_{n-1}, S_{n-2}, S_{n-3}$ と積算器60、61、62、63で積算され、加算器70、71、72で総和が計算され、補間画素データ S' を出力する。

【0028】こうして得られた垂直補間画素データ S' は、所望の周波数特性を維持して補間されるので、解像感のある拡大・縮小画像を提供することができる。尚、遅延手段500～505は適宜省略することもできる。

【0029】本発明の第2の実施例を以下に記述する。

図2に、その構成を示す。これは水平方向部分の近傍4点による高画質補間の例である。

【0030】図5Aは、フィールドメモリ上に蓄積された1フィールドの画像の中の一部の概念図を示したものである。フィールドメモリ1には、撮像素子により決定されるサンプリング周波数で出力されている画像信号が、入力端子から入力され、1フィールドの画像データが蓄積されている。

【0031】ズーム比設定値 $zoom$ は、ズームの分解能が8ビットの場合に、ズーム比 R を

$$R = 256 / (256 + zoom)$$

で表している。 $zoom$ が正の整数値を取れば、画像は縮小され、負の整数値を取れば、画像は拡大される。

【0032】メモリ読み出し手段2は、ズーム設定入力端子3からのズーム比設定値 $zoom$ を受け取り、それに応じて補間画素位置を連続的に決定していき、フィールドメモリ上の原画像データのうち補間画素位置の直後の画素データ S_n を出力するように、フィールドメモリ1に読み出し制御信号 Cr を送る。

【0033】また、ズーム比設定値 $zoom$ から、図11のような構成の係数発生回路40、係数発生回路41は、それぞれ補間回路6、7及び信号合成回路9に対応する補間係数 k_0, k_1 を発生する。

【0034】これらの補間係数 k_0, k_1 は、所望の周波数特性をもつ補間フィルタをフーリエ変換して求められた時間特性を例えば3次の関数

$$k = aX^3 + bX^2 + cX + d$$

で得られるものをハード化に適した項でまとめて、分割したものである。 X は、原サンプリング画素データ位置と補間画素データ位置の距離である。

【0035】各係数発生回路は、補間画素を生成する原サンプリング画素の更新制御信号 inc が立ち上がった時のみ、次の原サンプリング画素データ位置と補間画素データ位置の距離から、補間係数 k_0, k_1 を更新する。

【0036】係数発生回路40、41から出力された補間係数 k_0, k_1 は、原サンプリング画素データ S_n に対応するように、原サンプリング周波数の1クロック分だけ遅延手段500、501で遅延される。

【0037】フィールドメモリ1は、 Cr によって指示された画素データ S_n を出力し、一連の遅延手段51、52、53は、それぞれ画素データ S_n を原サンプリング周波数の1クロック分だけ次々に遅延した画素データ $S_{n-1}, S_{n-2}, S_{n-3}$ を出力し、ある時間に、 $S_n, S_{n-1}, S_{n-2}, S_{n-3}$ は同時に第1の補間回路6に、 S_{n-1}, S_{n-2} は同時に第2の補間回路7に入力される。この時、原サンプリング周波数の1クロック分だけ遅延された補間係数 k_0 も同時に入力される。

【0038】補間回路6は、

$$P_n = (S_{n-1} - S_n) \cdot k_0 + S_{n-1}$$

の計算を減算器61、乗算器62、加算器63によって

行い、 P_n を出力する。

【0039】補間回路7は、

$$P_{n-1} = (S_{n-1} - S_{n-2}) \cdot k_0 + S_{n-2}$$

の計算を減算器71、乗算器72、加算器73によって行い、 P_{n-1} を出力する。

【0040】 P_n 、 P_{n-1} は、ある時間に同時に信号合成回路9に入力される。この時、原サンプリング周波数の1クロック分だけ遅延された補間係数 k_1 も、 P_n 、 P_{n-1} と同時に信号合成回路9に入力される。

【0041】信号合成回路9は、

$$S' = (P_{n-1} - P_n) \cdot k_1 + P_{n-1}$$

の計算を減算器91、乗算器92、加算器93によって行い、補間画素データ S' を出力する。

【0042】こうして得られた垂直補間画素データ S' は、所望の周波数特性を維持して補間されるので、解像感のある拡大・縮小画像を提供することができる。尚、遅延手段としての1クロックディレー500、501は適宜省略することもできる。

【0043】本発明の第3の実施例を以下に記述する。図8に、その構成を示す。これは水平方向部分の近傍4点による高画質補間の例である。

【0044】図5Aは、フィールドメモリ上に蓄積された1フィールドの画像の中の一部の概念図を示したものである。フィールドメモリ1には、撮像素子により決定されるサンプリング周波数で出力されている画像信号が、入力端子から入力され、1フィールドの画像データが蓄積されている。

【0045】ズーム比設定値 $zoom$ は、ズームの分解能が8ビットの場合に、ズーム比 R を

$$R = 256 / (256 + zoom)$$

で表している。 $zoom$ が正の整数値を取れば、画像は縮小され、負の整数値を取れば、画像は拡大される。

【0046】メモリ読み出し手段2は、ズーム設定入力端子3からのズーム比設定値 $zoom$ を受け取り、それに応じて補間画素位置を連続的に決定していき、フィールドメモリ上の原画像データのうち補間画素位置の直後の画素データ S_n を出力するように、フィールドメモリ1に読み出し制御信号 Cr を送る。

【0047】また、ズーム比設定値 $zoom$ から、係数発生回路4は、補間画素 S' の直後にある原サンプリング画素データ S_n と補間画素 S' との時間的な相対位置をもとに、補間係数 k を発生する。この時 k は、図10のような構成の累算器によって

$$k = k + |zoom|$$

の累積加算を、 inc 信号が立ち上がった時のみ、キャリーなしで行う。この時、加算器のビット数はズームの分解能と一致している。

【0048】係数発生回路4から出力された補間係数 k は、原サンプリング画素データ S_n に対応するように、原サンプリング周波数の1クロック分だけ遅延手段50で

遅延される。

【0049】フィールドメモリ1は、 Cr によって指示された画素データ S_n を出力し、一連の遅延手段51、52、53は、それぞれ画素データ S_n を原サンプリング周波数の1クロック分だけ次々に遅延した画素データ S_{n-1} 、 S_{n-2} 、 S_{n-3} を出力し、ある時間に、 S_n 、 S_{n-1} は同時に第1の補間回路6に、 S_{n-1} 、 S_{n-2} は同時に第2の補間回路7に入力される。この時、原サンプリング周波数の1クロック分だけ遅延された補間係数 k も同時に入力される。

【0050】補間回路6は、

$$P_n = (S_{n-1} - S_n) \cdot k + S_{n-1}$$

の計算を減算器61、乗算器62、加算器63によって行い、 P_n を出力する。

【0051】補間回路7は、

$$P_{n-1} = (S_{n-1} - S_{n-2}) \cdot k + S_{n-2}$$

の計算を減算器71、乗算器72、加算器73によって行い、 P_{n-1} を出力する。

【0052】 P_n 、 P_{n-1} は、ある時間に同時に信号合成回路9に入力される。この時、原サンプリング周波数の1クロック分だけ遅延された補間係数 k は係数変換器8で $k \cdot (1-k)$ に変換され、 P_n 、 P_{n-1} と同時に信号合成回路9に入力される。

【0053】信号合成回路9は、

$$S' = (P_{n-1} - P_n) \cdot k \cdot (1-k) + P_{n-1}$$

の計算を減算器91、乗算器92、加算器93によって行い、補間画素データ S' を出力する。尚、遅延手段50は適宜省略可能である。

【0054】こうして得られた水平補間画素データ S'

は、図7のように、従来の線形補間と比べて帯域内のレスポンスが大幅に向上しており、解像感のある拡大・縮小画像を提供することができる。また、補間回路6、7、信号合成回路9は、線形補間回路と同じ構成をそれぞれ取るので、簡単にハードとして実現できる。

【0055】本発明の第4の実施例を以下に記述する。図9に、その構成を示す。これは垂直方向部分の近傍4点による高画質補間の例である。

【0056】図5Bは、フィールドメモリ上に蓄積された1フィールドの画像の中の一部の概念図を示したものである。フィールドメモリ1には、撮像素子により決定されるサンプリング周波数で出力されている画像信号が、入力端子から入力され、1フィールドの画像データが蓄積されている。

【0057】ズーム比設定値 $zoom$ は、ズームの分解能が8ビットの場合に、ズーム比 R を

$$R = 256 / (256 + zoom)$$

で表している。 $zoom$ が正の整数値を取れば、画像は縮小され、負の整数値を取れば、画像は拡大される。

【0058】メモリ読み出し手段2は、ズーム設定入力端子3からのズーム比設定値 $zoom$ を受け取り、それに

じて補間画素位置を連続的に決定していき、フィールドメモリ上の原画像データのうち補間画素位置の直後の画素データ S_n を出力するように、フィールドメモリ1に読み出し制御信号 Cr を送る。

【0059】また、ズーム比設定値 $zoom$ から、係数発生回路4は、補間画素 S' の直後にある原サンプリング画素データ S_n と補間画素 S' との時間的な相対位置をもとに、補間係数を k 発生する。この時 k は、図10のような構成の累算器によって

$$k = k + |zoom|$$

の累加算を、 inc 信号が立ち上がった時のみ、キャリアなしで行う。この時、加算器のビット数はズームの分解能と一致している。

【0060】フィールドメモリ1は、 Cr によって指示された画素データ S_n を出力し、一連の遅延手段51、52、53はラインメモリであり、それぞれ画素データ S_n を原サンプリング周波数の1走査線分だけ次々に遅延した画素データ S_{n-1} 、 S_{n-2} 、 S_{n-3} を出力し、ある時間に、 S_n 、 S_{n-3} は同時に第1の補間回路6に、 S_{n-1} 、 S_{n-2} は同時に第2の補間回路7に入力される。この時、補間係数 k も同時に入力される。

【0061】補間回路6は、

$$P_n = (S_{n-3} - S_n) \cdot k + S_{n-1}$$

の計算を減算器61、乗算器62、加算器63によって行い、 P_n を出力する。

【0062】補間回路7は、

$$P_{n-1} = (S_{n-1} - S_{n-2}) \cdot k + S_{n-3}$$

の計算を減算器71、乗算器72、加算器73によって行い、 P_{n-1} を出力する。

【0063】 P_n 、 P_{n-1} は、ある時間に同時に信号合成回路9に入力される。この時、補間係数 k は係数変換器8で $k \cdot (1-k)$ に変換され、 P_n 、 P_{n-1} と同時に信号合成回路9に入力される。

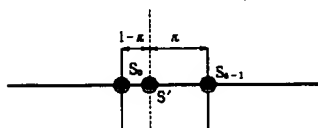
【0064】信号合成回路9は、

$$S' = (P_{n-1} - P_n) \cdot k \cdot (1-k) + P_{n-1}$$

の計算を減算器91、乗算器92、加算器93によって行い、補間画素データ S' を出力する。

【0065】こうして得られた垂直補間画素データ S'

【図4】



は、図7のように、線形補間と比べて帯域内のレスポンスが大幅に向上しており、解像感のある拡大・縮小画像を提供することができる。また、補間回路6、7、信号合成回路9は、線形補間回路と同じ構成をそれぞれ取るので、簡単にハードとして実現できる。

【0066】

【発明の効果】以上述べたように、第1、第2の本発明によれば、電子ズーム、電子ズームアウトなどリアルタイム処理に垂直、水平方向の拡大・縮小画像を得たい時に、簡単な回路構成の補間回路によって、所望の周波数特性をもつ解像感のある拡大・縮小画像を得ることができる。

【0067】また、第3の本発明によれば、電子ズーム、電子ズームアウトなどのリアルタイム処理のに垂直、水平方向の拡大・縮小画像を得たい時に、簡単な回路構成の補間回路によって大幅に解像感を向上させることができる。

【0068】また、上記実施例では画像メモリにフィールドメモリを用いているが、全画素読み出し型CCDなどで1フレーム処理を行っている場合には、フレームメモリを兼用して、垂直解像度をより向上させることができる。

【図面の簡単な説明】

【図1】第1の本発明の実施例図。

【図2】第2の本発明の実施例図。

【図3】従来例を示す図。

【図4】線形補間の概念図。

【図5】Aは本発明の水平補間の概念図。Bは本発明の垂直補間の概念図。

【図6】線形補間の周波数特性図。

【図7】第3の本発明の周波数特性と線形補間の周波数特性との比較図。

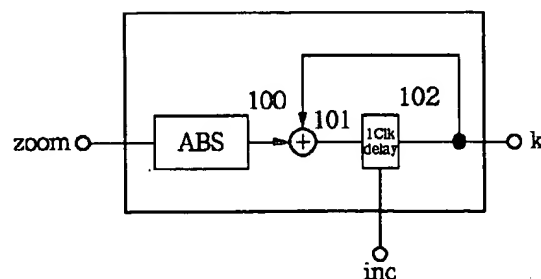
【図8】第3の本発明の第1の実施例図。

【図9】第3の本発明の第2の実施例図。

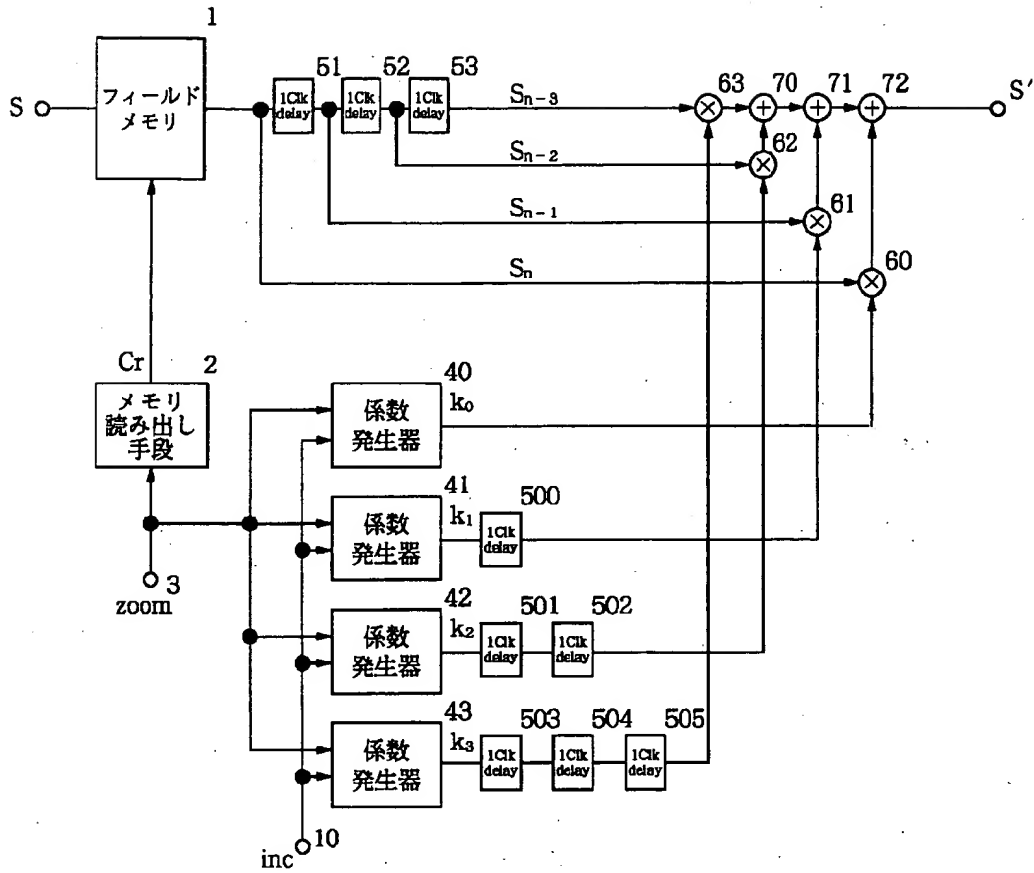
【図10】第3の本発明の係数発生器の例を示す図。

【図11】第1、第2の本発明の係数発生器の例を示す図。

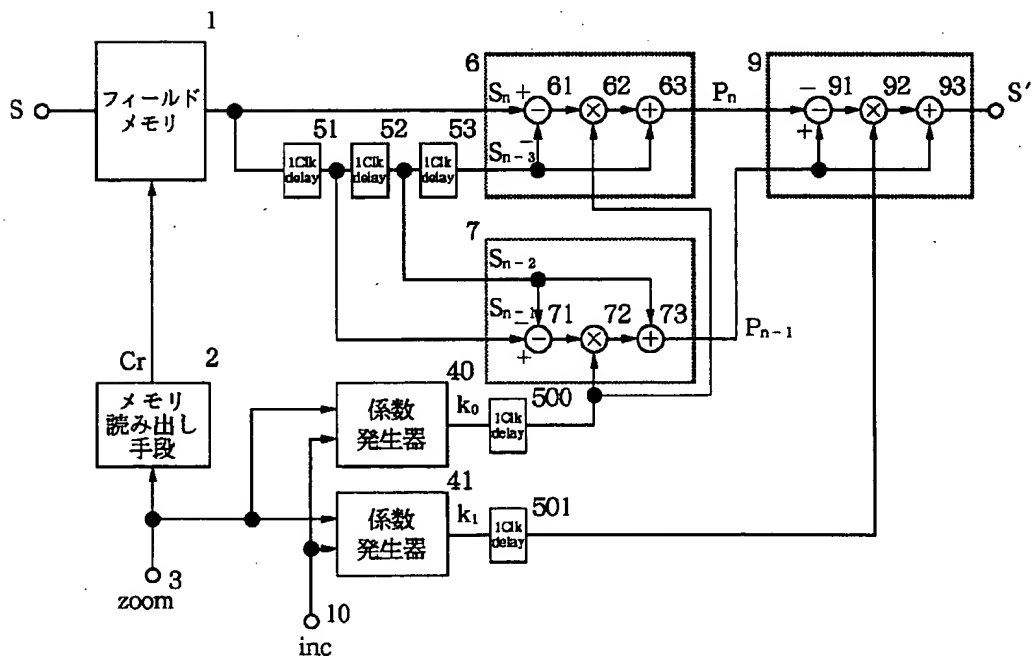
【図10】



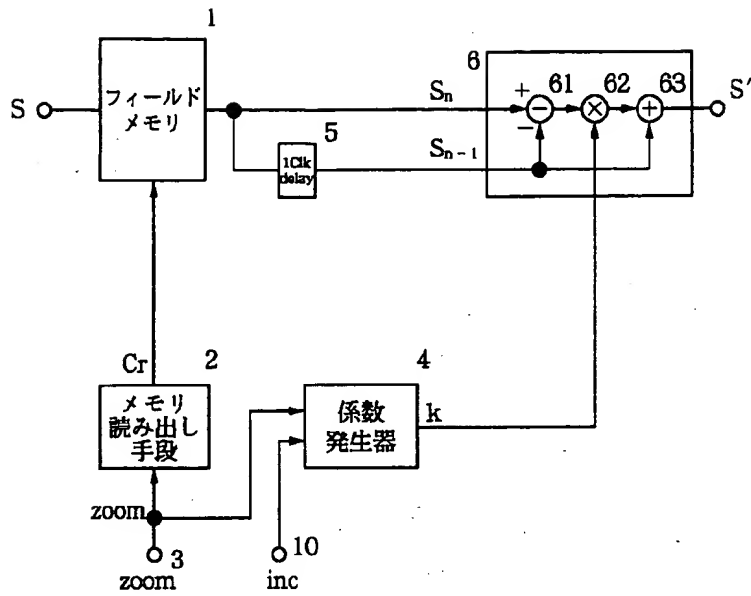
【図 1】



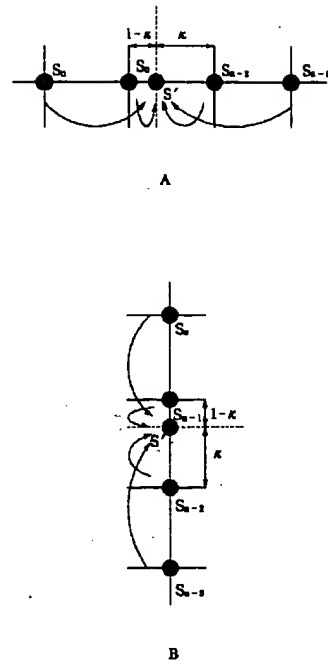
【図 2】



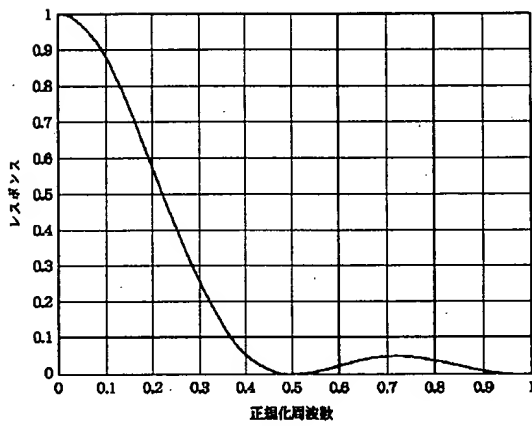
【図 3】



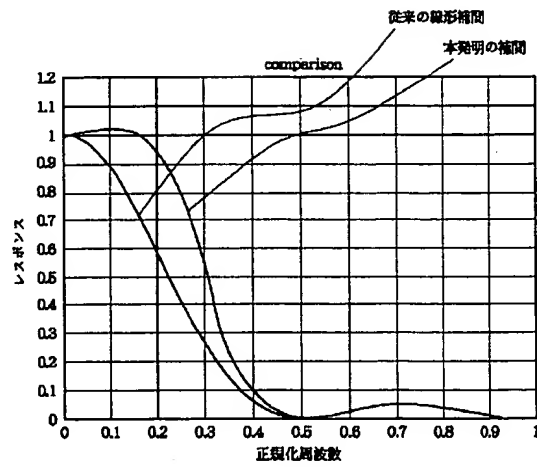
【図 5】



【図 6】



【図 7】



【図 11】

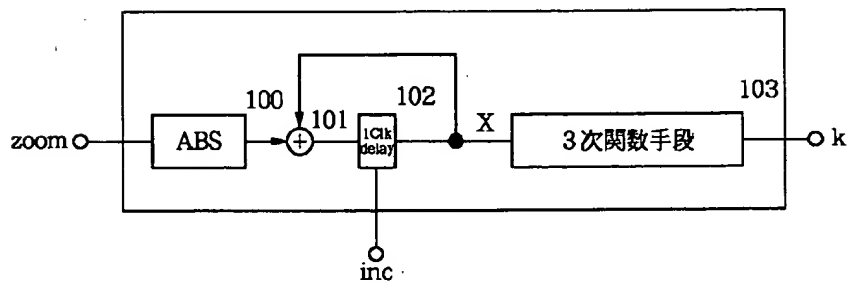


Figure 1 is a block diagram of a digital filter circuit. The circuit includes a field memory (1), a memory readout section (2), a coefficient generator (4), and three processing blocks (6, 7, 9). The input signal S is processed through the field memory and then through a series of delay elements (51, 52, 53) and arithmetic operations (addition, multiplication) to produce the output signal S'. The coefficient generator produces a coefficient k, which is used in the processing blocks. The memory readout section receives a zoom signal (3) and an increment signal (10) to generate a readout address (Cr).

The diagram illustrates a digital filter structure with the following components and connections:

- Input:** Signal S enters block 1 (フィールドメモリ).
- Block 1 (フィールドメモリ):** Outputs to block 6 and through three 1H delay blocks (51, 52, 53) to block 7.
- Block 2 (メモリ読み出し手段):** Receives 'zoom' (3) and 'inc' (10) signals, outputs 'Cr' to block 1, and provides a signal to block 4.
- Block 4 (係数発生器):** Receives a signal from block 2 and outputs coefficient k to blocks 6, 7, and 8.
- Block 6:** A feedback block with inputs S_n (from block 1), S_{n-3} (from block 1 through three 1H delays), and S_{n-2} (from block 7). It contains operations 61 (subtraction), 62 (multiplication by k), and 63 (addition), producing output P_n .
- Block 7:** A feedback block with inputs S_{n-1} (from block 1) and S_{n-2} (from block 1 through two 1H delays). It contains operations 71 (subtraction), 72 (multiplication by k), and 73 (addition), producing output P_{n-1} .
- Block 8:** A feedback block with inputs P_n and P_{n-1} . It contains operations 81 (multiplication by k) and 82 (addition), producing output $k(1-k)$.
- Block 9:** A final processing block with inputs P_n and $k(1-k)$. It contains operations 91 (subtraction), 92 (multiplication by k), and 93 (addition), producing the final output S' .